



(19)

(11) Publication number: 2000260728 A

Generated Document

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 11060428

(51) Intl. Cl.: H01L 21/265 H01L 29/78

(22) Application date: 08.03.99

(30) Priority:

(43) Date of application  
publication: 22.09.00(84) Designated  
contracting states:

(71) Applicant: NEC CORP

(72) Inventor: TSUJI KIYOTAKA  
TAKEUCHI KIYOSHI

(74) Representative:

(54) MANUFACTURE OF  
SEMICONDUCTOR DEVICE

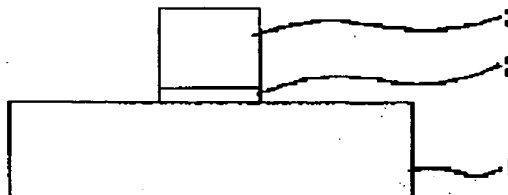
(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device manufacturing method, with which a shallow source/drain diffusion layer can be formed using a low temperature process, and a low resistance element can be obtained.

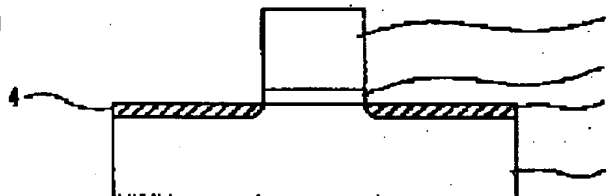
**SOLUTION:** After the crystal condition on the surface of a substrate 1 has been brought into a turbulent state, impurity ions for the formation of a source/ drain diffused layer 6 are implanted to a depth equal to or deeper than the layer whose crystal condition is disturbed. By performing annealing treatment for the activation of impurities at a low temperature (500 to 650° C), the impurities in the crystal disturbed layer is activated, but the impurities at positions deeper than this are not activated. In other words, the depth of the junction of the source/drain diffused layer 6 can be controlled with the depth of the crystal confused layer, and a shallow junction can be obtained easily.

COPYRIGHT: (C)2000,JPO

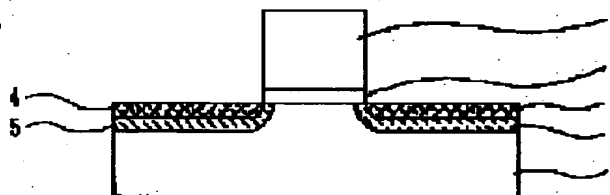
(a)



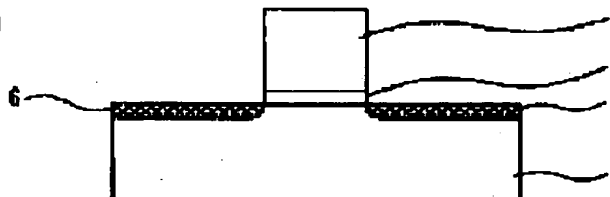
(b)



(c)



(d)



**Partial English Translation of**

**LAID OPEN unexamined**

**JAPANESE PATENT APPLICATION**

**Publication No. 2000-260728**

[0018] Next, as shown in Figure 1(b),  $\text{Ge}^+$ , for example, is implanted into the substrate 1 for disarranging the crystal state in the surface portion thereof under the conditions of approximately 10 to 30 keV and  $2 \times 10^{14} \text{ cm}^{-2}$ , using the gate electrode 3 as a mask. Under the above conditions, the layer 4 having a thickness of approximately 200 to 600 Å, of which crystal state is turbulent, is formed in the surface portion thereof. Further, as shown in Figure 1(c),  $\text{B}^+$  serving as an impurity is implanted into the substrate 1 under the conditions of 1 to 5 keV (3 to 30 keV in a case of  $\text{BF}_2^+$  implantation) and  $2 \times 10^{14} \text{ cm}^{-2}$ , using the gate electrode 3 as a mask, so that the impurity doped layer 5 having a thickness of 200 to 1000 Å is formed. For realization of the shallow junction, the depth of the layer 4 of which crystal state is turbulent is preferably equal to or smaller than the depth (range distance) to which the impurity ions are implanted.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-260728

(P2000-260728A)

(43) 公開日 平成12年9月22日 (2000.9.22)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 21/265  
29/78

識別記号

F I

H 0 1 L 21/265  
29/78

テームト\* (参考)

F 5 F 0 4 0  
3 0 1 S

審査請求 有 請求項の数 7 O L (全 5 頁)

(21) 出願番号

特願平11-60428

(22) 出願日

平成11年3月8日 (1999.3.8)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 辻 清孝

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 竹内 潔

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100070530

弁理士 畑 泰之

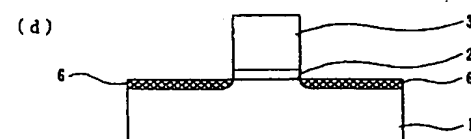
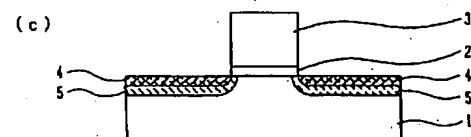
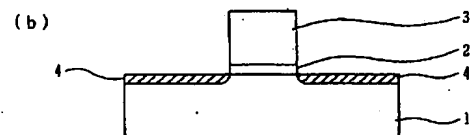
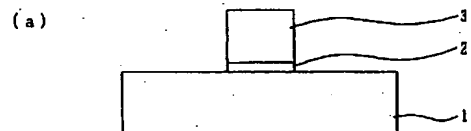
Fターム (参考) 5F040 DA13 DC01 EC07 EH02 EH05  
EJ03 FA19 FC00 FC15

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 低温プロセスで浅いソース／ドレイン拡散層を形成でき、低抵抗な素子を得ることができる半導体装置の製造方法を提供することにある。

【解決手段】 基板表面の結晶状態を乱した後、ソース／ドレイン拡散層のための不純物を結晶状態が乱された層と同等もしくはそれ以上の深さまでイオン注入する。不純物を活性化させるためのアニール処理の条件を低温 (500℃～650℃) にすることによって、結晶状態が乱された領域内の不純物は活性化するが、それより深い位置にある不純物は活性化しない。即ち、結晶状態が乱された領域の深さでソース／ドレイン拡散層の接合の深さを制御することができ、容易に浅い接合が得られる。



## 【特許請求の範囲】

【請求項1】 半導体層にイオンを注入することで、前記半導体層の表面から浅い領域の結晶状態を乱す工程と、前記半導体層に不純物イオンをイオン注入する工程と、前記イオン注入した不純物を低温アニール処理で活性化させる工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 半導体層に不純物イオンをイオン注入すると共に、注入したイオンで前記半導体層の表面から浅い領域のみの結晶状態を乱す工程と、前記イオン注入した不純物を低温アニール処理で活性化させる工程とを含むことを特徴とする半導体装置の製造方法。

【請求項3】 前記結晶状態が乱された領域内の不純物のみが活性化するように低温でアニールすることを特徴とする請求項1または2に記載の半導体装置の製造方法。

【請求項4】 前記低温アニール処理では、不純物の拡散が起こらないことを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】 前記結晶状態の乱された領域の深さが、不純物イオンの打ち込まれた深さ（飛程距離）より浅いか同等であることを特徴とする請求項1乃至4の何れかに記載の半導体装置の製造方法。

【請求項6】 前記不純物イオンとしてホウ素（B）イオンを用いることを特徴とする請求項1乃至5の何れかに記載の半導体装置の製造方法。

【請求項7】 前記結晶状態の乱された領域を形成するためのイオン注入のイオン種として、ゲルマニウム（Ge）を用いることを特徴とする請求項1乃至5の何れかに記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体装置の製造方法に関し、特に、ソース／ドレイン拡散層を浅く形成することができ、且つ、低抵抗な素子を得ることができる絶縁ゲート（MIS）電界効果半導体装置に好適な半導体装置の製造方法に関する。

## 【0002】

【従来の技術】 MIS型FETの微細化が進みゲート長が $0.2\mu\text{m}$ 以下になると、短チャネル効果によりしきい値電圧の低下、オフ特性の劣化等が現れ、電気特性が低下するため短チャネル効果を抑制する必要がある。図3（a）～（c）は、一般的なMIS型FETの製造方法の主要段階における状態を示す断面図である。

【0003】 図3において、31はSi等からなる基板、32は $\text{SiO}_2$ 等からなるゲート絶縁膜、33はポリSi等からなるゲート電極、34は不純物注入層、35はソース／ドレイン拡散層である。次に、その製造方法について説明する。まず、図3（a）に示すように、例えば、熱酸化により基板31を酸化してシリコン酸化

膜を形成し、例えば、CVD法によりシリコン酸化膜上にポリシリコンを堆積してポリシリコン膜を形成した後、エッチングによりポリシリコン膜及びシリコン絶縁膜を選択的にエッチングしてゲート電極33及びゲート絶縁膜32を形成すると共に、基板31を露出させる。

【0004】 次に、図3（b）に示すように、ゲート電極33をマスクとして不純物をイオン注入して不純物注入層34を形成する。不純物として、nMOSではAs、P、Sb、pMOSではB、Inを用いる。次に、図3（c）に示すように、アニール処理（通常 $800^\circ\text{C}$ ～ $950^\circ\text{C}$ で10分～数時間、又は、 $950^\circ\text{C}$ ～ $1050^\circ\text{C}$ で10秒程度）により不純物注入層34の不純物の活性化（不純物が結晶格子位置に納まり、所定の電気的性質を発現するようにすること）を行って、nMOSではn型、pMOSではp型のソース／ドレイン拡散層35を形成する。

【0005】 そして、ゲート電極33を覆うようにBP SG等からなる層間絶縁膜を形成し、層間絶縁膜にコンタクトホールを形成した後、コンタクトホールを介してゲート電極33、ソース／ドレイン拡散層35とコンタクトを取るようにAl等からなる配線層を形成することにより、半導体装置を得ることができる。上記に示したMIS型FETにおいては、微細化に伴い短チャネル効果（微細化によりFETが十分オフにならなくなる現象）による特性の劣化が発生する。この短チャネル効果の抑制には、ソース／ドレイン拡散層35の接合を浅く形成することが非常に有効である。

【0006】 ソース／ドレイン拡散層35の接合を浅くするための方法として、不純物のイオン注入エネルギーを下げて、不純物の基板への侵入深さを浅くする方法が従来用いられてきた。さらに、不純物を活性化させるためのアニール処理によって不純物が拡散するのを抑制するために、比較的低温、長時間のアニール（ $800^\circ\text{C}$ ～ $950^\circ\text{C}$ 、10分～数時間）に代わって、高温短時間アニール（ $1000^\circ\text{C}$ 、10秒程度）を用いる方法が行われている。これは、アニール温度が高いほど、不純物の拡散の原因となる結晶欠陥が早く消滅する効果を利用して拡散を抑えようとするものである。

【0007】 不純物の基板への侵入深さを浅くするために、イオン注入の注入エネルギーを下げると、イオン源から不純物となるイオンを引き出す効率が落ちビーム電流が低下する。これは、イオン注入エネルギーを下げるほどイオン注入に要する時間が長くなることを意味しており、量産化において問題となる。さらに、高温短時間アニールを用いた場合でも不純物の拡散を完全に抑制することができない（例えば、 $1 \times 10^{18} \text{ cm}^{-3}$ の濃度になる深さは $0.06\mu\text{m}$ から、 $1000^\circ\text{C}$ 、10秒を行うことによって $0.1\mu\text{m}$ になる）ことに加え、アニールの温度制御を高精度に行う必要があるため、アニール装置も高価になるという問題がある。

10

20

30

40

50

【0008】pMOSのソース／ドレイン拡散層の不純物には、Bが最も広く用いられている。これは、BがI<sub>n</sub>に比べて活性化率が高く、ソース／ドレイン拡散層の抵抗値を下げることができるからである。しかし、Bは質量が軽いためイオン注入によって容易に基板深くまで侵入する。さらに、Bは熱拡散し易い（1000℃での拡散係数は $2 \times 10^{-14} \text{ cm}^2 / \text{s}$ 、Asは $1.2 \times 10^{-15} \text{ cm}^2 / \text{s}$ ）性質を持つ。このため、ソース／ドレイン拡散層の接合を浅くすることは、pMOSにおいて特に困難であった。

#### 【0009】

【発明が解決しようとする課題】本発明の目的は、上記した点に鑑みてなされたものであり、その目的とするところは、特に、ゲート長0.2  $\mu\text{m}$ 以下の微細なMISFETで、短チャネル効果を抑制することができる浅い接合（600 Å以下）を実現した新規な半導体装置の製造方法を提供するものである。

#### 【0010】

【課題を解決するための手段】本発明は上記した目的を達成するため、基本的には、以下に記載されたような技術構成を採用するものである。即ち、本発明に係わる半導体装置の製造方法の第1態様は、半導体層にイオンを注入することで、前記半導体層の表面から浅い領域の結晶状態を乱す工程と、前記半導体層に不純物イオンをイオン注入する工程と、前記イオン注入した不純物を低温アニール処理で活性化させる工程とを含むことを特徴とするものであり、又、第2態様は、半導体層に不純物イオンをイオン注入すると共に、注入したイオンで前記半導体層の表面から浅い領域の結晶状態を乱す工程と、前記イオン注入した不純物を低温アニール処理で活性化させる工程とを含むことを特徴とするものであり、又、第3態様は、前記結晶状態が乱された領域内の不純物のみが活性化するように低温でアニールすることを特徴とするものであり、又、第4態様は、前記低温アニール処理では、不純物の拡散が起こらないことを特徴とするものであり、又、第5態様は、前記結晶状態の乱された領域の深さが、不純物イオンの打ち込まれた深さ（飛程距離）より浅いか同等であることを特徴とするものであり、又、第6態様は、前記不純物イオンとしてホウ素（B）イオンを用いることを特徴とするものであり、又、第7態様は、前記結晶状態の乱された領域を形成するためのイオン注入のイオン種として、ゲルマニウム（Ge）を用いることを特徴とするものである。

#### 【0011】

【発明の実施の形態】次に、本発明に係わる半導体装置の製造方法の実施の形態について説明する。イオン注入によって、半導体層に注入された不純物の拡散は、アニール温度を従来より大きく下げればほぼ完全に抑えることができる。図2は、シリコン基板中にイオン注入されたBのアニール条件の違いによる拡散の違いをSIMS

（2次イオン質量分析法）測定によって調べた結果である。図2で見られるように、通常の高温短時間アニール（1000℃、10秒）ではアニール処理前に比べて深いところまでBが拡散しており、pn接合の深さは約0.1  $\mu\text{m}$ であるが、650℃以下のアニール処理ではBがほとんど拡散せず、アニール処理前の分布をほぼ保つ（接合深さ0.06  $\mu\text{m}$ ）。しかし、650℃以下のアニール処理ではBはほとんど活性化しないため、このままではソース／ドレイン拡散層を低抵抗化することはできない。なお、図中には示していないが、本発明の一態様であるGeイオン注入を行って結晶状態を乱した後にB<sup>+</sup>をイオン注入した場合も、650℃以下のアニール処理後もBの分布は上記の場合と同様にほとんど拡散せず、アニール前とほぼ同じ分布を保つ。

【0012】結晶化した下地シリコン層の上に結晶状態が乱されたシリコン層（アモルファス層でも良い）が存在する場合、低温（500℃以上）でアニール処理を行うことによって、結晶状態が乱されたシリコン層の結晶状態が回復する。これは、結晶状態が乱されたシリコン層が下地シリコン層を種とすることで低温でも容易に再結晶化するからである。

【0013】結晶が乱されたシリコン層に不純物を導入しておけば、低温での再結晶化の過程で不純物も結晶格子位置に取り込まれ活性化する。図4に示した表は、シリコン基板表面をGe<sup>+</sup>のイオン注入によってアモルファス化させた場合とアモルファス化させない場合で、B<sup>+</sup>のイオン注入を行い、低温（550℃）アニール処理後のシート抵抗値を測定した結果である。然した図表からも分かるように、アモルファス化させた場合のシート抵抗値は、アモルファス化させていない場合に比べ非常に低く、アモルファス化させることによって、通常では活性化ができない低温でBを十分活性化させることができる。

【0014】本発明による半導体装置の製造方法は、上記の物理現象を応用して、半導体層にGe<sup>+</sup>等をイオン注入して、半導体層の表面の結晶状態を乱す工程と、結晶状態が乱されたこの半導体層にBなど所望の不純物をイオン注入する工程と、シリコンの再結晶化は起こるが不純物の拡散は起こらない範囲の温度で熱処理する工程と、を含む製造方法である。

【0015】本発明においては、半導体層にイオン注入して半導体層の結晶状態を乱しさえすればよいが、例えば、アモルファス状態まで結晶状態を乱しても良い。本発明では、不純物を活性化させるためのアニール処理条件として、通常より十分低い500℃～650℃を用いるため、不純物の熱拡散が起こらない。さらに、不純物の活性化は主として結晶状態が乱された領域内でのみ発生する。このため、不純物がイオン注入により基板深くまで侵入していても、電気的ソース／ドレイン深さは結晶状態が乱された領域の厚さで決まるため、不純物イオ

10

20

30

40

50

ンの侵入深さより浅くできる。さらに、結晶状態を乱すためのイオン注入は、Ge'等の重いイオンを用いて行うことができるため、結晶状態が乱された領域、従ってソース/ドレイン深さを容易に浅くすることができる。以上より十分に活性化した(低抵抗な)浅い接合を得ることができる。

#### 【0016】

【実施例】本発明の上記および他の目的、特徴および利点を明確にすべく、添付した図面を参照しながら、本発明の具体例を以下に詳述する。図1は、本発明に係わる半導体装置の製造方法の一例を説明する図である。以下、本発明の効果が最も大きいゲート長0.2μm以下のpMOSの場合を例にして説明する。

【0017】図1において、1はSi等からなるn型基板、2はSiO<sub>2</sub>等からなるゲート絶縁膜、3はポリシリコン等からなるゲート電極、4は結晶状態が乱された層、5は不純物注入層、6はソース/ドレイン拡散層である。次に、その製造方法について説明する。まず、図1(a)に示すように、熱酸化により基板1を酸化して膜厚が30Åのシリコン酸化膜を形成し、CVD法によりシリコン酸化膜上にポリシリコンを堆積して膜厚が1500Åのポリシリコン膜を形成した後、ドライエッチングによりポリシリコン膜およびシリコン酸化膜を選択的にエッチングして、ゲート電極3およびゲート酸化膜2を形成すると共に、基板1を露出させる。

【0018】次に、図1(b)に示すように、ゲート電極3をマスクとして、例えばGe'を10~30keV程度、 $2 \times 10^{14} \text{ cm}^{-2}$ の条件で、基板1にイオン注入して表面の結晶状態を乱す。上記条件では表面に200~600Å程度の結晶状態が乱された層4が形成される。次に、図1(c)に示すように、ゲート電極3をマスクとして不純物であるB'を1~5keV程度(BF<sub>2</sub>'を用いた場合は3~30keV程度)、 $2 \times 10^{14} \text{ cm}^{-2}$ の条件で基板1に注入して、厚さが200~1000Å程度の不純物注入層5を形成する。結晶状態の乱された層4の深さが、不純物イオンの打ち込まれた深さ(飛程距離)より浅いか同等であることが浅い接合の実現にとって望ましい。

【0019】次に、図1(d)に示すように、500℃~650℃(例えば550℃、8時間)の低温アニール処理をして結晶状態が乱された層4内の不純物の活性化を行ってソース/ドレイン拡散層6を形成する。なお、上記した熱処理の温度は、シリコンの再結晶化は起こるが、不純物の拡散は起こらない範囲の温度である。

【0020】そして、ゲート電極3を覆うようにBPSG等からなる層間絶縁膜を形成し、層間絶縁膜にコンタクトホールを形成した後、コンタクトホールを介してゲート電極3、ソース/ドレイン拡散層6とコンタクトを取るようにAl等からなる配線層を形成することにより、半導体装置を得ることができる。即ち、上記具体例

では、まず基板1にイオン注入して基板1の結晶状態を乱して結晶状態が乱された層4を形成した後、不純物をイオン注入して結晶状態が乱された層4と同等もしくはそれより深い不純物注入層5を形成し、次いで低温アニールによって結晶状態が乱された層4内の不純物のみを活性化させてソース/ドレイン拡散層6を形成している。このため、不純物の拡散がほとんど起こらない。更に、結晶状態が乱された層4が不純物の侵入深さより浅ければ電気的なソース/ドレインの接合の深さは結晶状態が乱された層4の深さによって決まるので、結晶状態が乱された層4の深さをごく浅くすることによって、容易に浅い接合が得られる。

【0021】以上、本発明をpMOSに適用する場合に基づき説明したが、本発明はこれらの具体例に限定されるものではない。上記例では、ソース/ドレイン拡散層の不純物としてBを用いたが、In等他のp型不純物を用いても良い。又、基板表面の結晶状態を乱すためのイオン注入のイオンとしてGe'を用いたが、Si'等其他の中性不純物を用いても良い。又、As'やSb'等のn型不純物を用いても良く、この場合はp型不純物濃度がn型不純物濃度を上回るようにしてp型ソース/ドレインを形成すればよい。

【0022】また、n型基板をp型基板にし、注入するp型不純物イオンをP、As、Sb等のn型不純物イオンにすることにより、nMOSにも適用可能である。nMOSの場合の結晶状態を乱すためのイオン注入のイオンとしては中性不純物のGe'、Si'の他、In'等p型不純物を用いても良く、この場合はn型不純物濃度がp型不純物濃度を上回るようにしてn型ソース/ドレインを形成すればよい。

【0023】さらに、本発明では結晶状態が乱された領域を浅くすることによって、電気的ソース/ドレイン深さを浅くできるので、結晶状態を乱すためのイオン注入に用いるイオンの質量は、不純物イオンより重いことが望ましい。さらに、不純物イオンがAs'の場合のようにSiに比べて重いイオンで、不純物イオンのイオン注入により基板表面の結晶状態が乱される場合(例えば、As'、20keV、 $2 \times 10^{14} \text{ cm}^{-2}$ )には、結晶状態を乱すためのイオン注入を不純物のイオン注入で兼用して作製工程を削減することができる。この場合でも、結晶状態が乱される領域の深さは不純物が侵入する深さより浅くなるため、結晶状態が乱された領域内の不純物のみ活性化することによる浅ソース/ドレイン化の効果が得られる。

【0024】さらに、結晶状態を乱すためのイオン注入工程と不純物のイオン注入工程の順番は入れ替えることもできるが、チャネリング(特定結晶方向へイオンが深く侵入する現象)を防止する効果が得られることから、結晶状態を乱すためのイオン注入を行った後、不純物イオンをイオン注入することが望ましい。

10

20

30

40

50

## 【0025】

【発明の効果】以上説明したように、本発明によれば、浅いソース／ドレイン拡散層の接合を形成でき、その深さを容易に制御することができ、短チャネル効果を抑制できるという効果がある。更に、高温短時間アニールのようにより高精度な温度制御を必要としないため、アニール処理を安価な炉を用いて行うことが可能であり、コスト上昇を抑えられる効果がある。

【0026】なお、本発明は上記各実施例に限定されず、本発明の技術思想の範囲内において、各実施例は適宜変更され得ることは明らかである。

## 【図面の簡単な説明】

【図1】本発明に係わる半導体装置の製造方法の具体例を説明する図である。

【図2】本発明の効果を説明する図である。

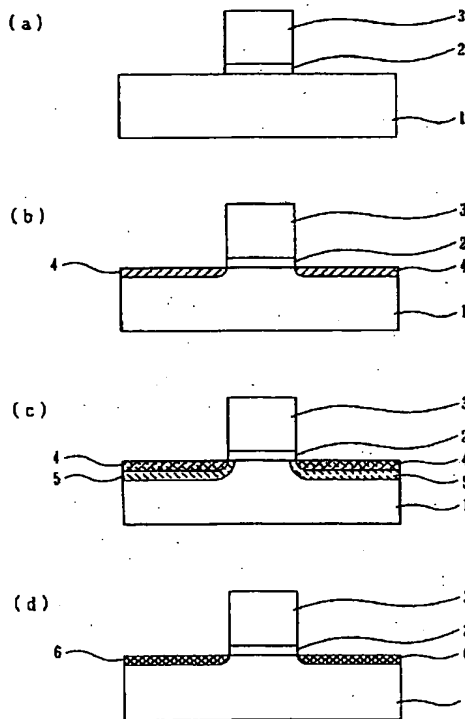
【図3】従来例の製造方法を説明する図である。

【図4】本発明の効果を説明する図表である。

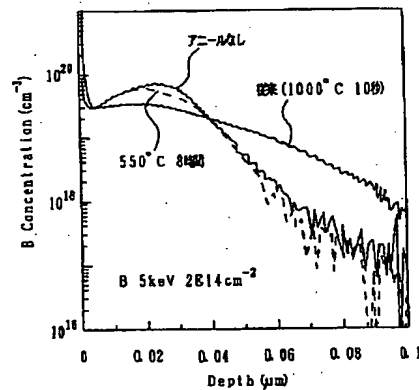
## 【符号の説明】

- 1 基板
- 3 ゲート電極
- 4 結晶状態が乱された層
- 5 不純物注入層
- 6 ソース／ドレイン拡散層

【図1】



【図2】



【図4】

550°Cアニール処理後のシート抵抗値

Geアモルファス化条件		
	なし	20keV 2.0E14cm⁻²
B 5keV 2.0E14cm⁻²	12.7kΩ/□	661Ω/□

【図3】

